

DIALOG(R) File 351:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.

013862049 **Image available**

WPI Acc No: 2001-346261/200137

XRPX Acc No: N01-251023

ROM-storage cell with protection e.g. for smart-card applications - has first and second optical protection layers for prevention of optical detection of programming element from top and from bottom surface of semiconductor substrate

Patent Assignee: INFINEON TECHNOLOGIES AG (INFN)

Inventor: NOLLES J; WALTER G

Number of Countries: 034 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 1102320	A1	20010523	EP 99122770	A	19991116	200137 B
WO 200137344	A1	20010525	WO 2000DE4046	A	20001116	200137

Priority Applications (No Type Date): EP 99122770 A 19991116

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
-----------	------	--------	----------	--------------

EP 1102320	A1 G	9	H01L-027/112	
------------	------	---	--------------	--

Designated States (Regional): AL AT BE CH CY DE DK ES FI FR GB GR IE IT

LI LT LU LV MC MK NL PT RO SE SI

WO 200137344	A1 G			
--------------	------	--	--	--

Designated States (National): BR CN IN JP KR MX RU UA US

Abstract (Basic): EP 1102320 A

A protected or secure read-only memory (ROM) cell has a semiconductor substrate (HS), a switching element (G,D,S) formed on, or in, the semiconductor substrate, and a programming element (P) for programming the switching performance of the switching element (G,D,S). A first optical protective layer (M2;M3) for preventing optical detection of the programming element (P) from the top face of the semiconductor substrate (HS), and a second optical layer (G;BOL) for preventing optical detection of the programming element (M2,G) from a bottom face of the semiconductor substrate (HS).

The first and/or second optical protective layer (M2,G) form a highly doped polysilicon layer or metallisation layer, and the switching element is a field-effect transistor (FET).

USE - For electronic cash and access authorisation applications.

ADVANTAGE - Reliable prevention of optical read-out of information filed in ROM-storage cells.

Dwg.4,5/5

Title Terms: ROM; STORAGE; CELL; PROTECT; SMART; CARD; APPLY; FIRST; SECOND
; OPTICAL; PROTECT; LAYER; PREVENT; OPTICAL; DETECT; PROGRAM; ELEMENT;
TOP; BOTTOM; SURFACE; SEMICONDUCTOR; SUBSTRATE

Derwent Class: T01; T04; T05; U11; U13; U14

International Patent Class (Main): H01L-027/112

International Patent Class (Additional): G11C-017/12; H01L-021/8246;
H01L-027/02

File Segment: EPI

Manual Codes (EPI/S-X): T01-H01C1; T04-K01; T05-D01A; T05-H02C5C; U11-C18B5
; U11-D01A7; U11-D01C4; U13-C04A; U13-C04B2; U14-A03B7; U14-A06B5



Europäisches Patentamt
European Patent Office
Office européen des brevets



(11) **EP 1 102 320 A1**

(12) **EUROPÄISCHE PATENTANMELDUNG**

(43) Veröffentlichungstag:
23.05.2001 Patentblatt 2001/21

(51) Int Cl.7: **H01L 27/112, H01L 21/8246,
G11C 17/12, H01L 27/02**

(21) Anmeldenummer: **99122770.3**

(22) Anmeldetag: **16.11.1999**

(84) Benannte Vertragsstaaten:
**AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU
MC NL PT SE**
Benannte Erstreckungsstaaten:
AL LT LV MK RO SI

(72) Erfinder:
• **Nolles, Jürgen**
81541 München (DE)
• **Walter, Georg**
80639 München (DE)

(71) Anmelder: **Infineon Technologies AG**
81541 München (DE)

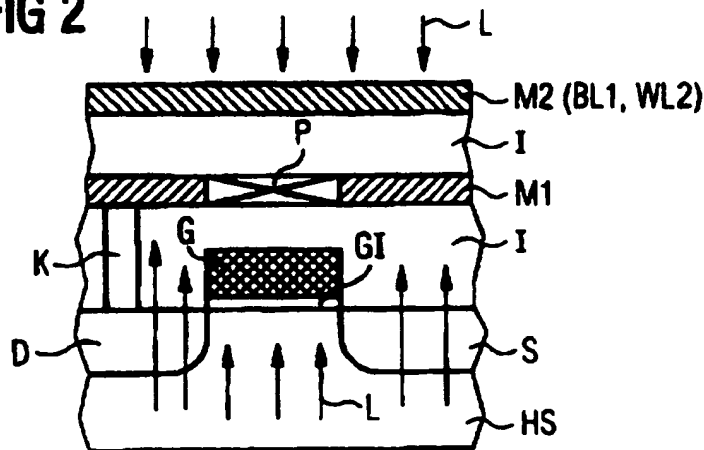
(74) Vertreter: **Hermann, Uwe, Dipl.-Ing. et al**
Epping, Hermann & Fischer
Ridlerstrasse 55
80339 München (DE)

(54) **Sicherheits-ROM-Speicherzelle und Verfahren zu deren Herstellung**

(57) Die Erfindung betrifft eine Sicherheits-ROM-Speicherzelle und ein Verfahren zu deren Herstellung, die insbesondere einen optischen Angriff zum Auslesen von Informationen aus der Speicherzelle verhindert. Vorzugsweise befindet sich ein die zu speichernde Information beinhaltendes Programmierelement (P) zwi-

schen einer ersten optischen Schutzschicht (M2) und einer zweiten optischen Schutzschicht (G), die ein optisches Erfassen des Programmierelements (P) von einer Oberseite und einer Unterseite des Halbleitersubstrats (HS) entweder durch Absorption und/oder Reflexion von Lichtstrahlen (L) verhindern.

FIG 2



EP 1 102 320 A1

Beschreibung

[0001] Die vorliegende Erfindung bezieht sich auf eine Sicherheits-ROM-Speicherzelle und ein Verfahren zu deren Herstellung, wobei insbesondere ein Schutz vor optischen Angriffen zum Auslesen von gespeicherten Informationen realisiert ist.

[0002] Insbesondere durch die wachsende Verbreitung von Chipkarten, und sogenannten Smartcards beispielsweise für das elektronische Bargeld sowie für die verschiedensten Zugangsberechtigungen steigt der Bedarf nach sicheren Halbleiterschaltungen, die gegenüber Angriffen zum Auslesen bzw. Manipulieren der in derartigen Halbleiterschaltungen abgelegten Informationen geschützt sind. Derartige sicherheitsrelevante Daten können beispielsweise in ROM-Speicherzellen bzw. einer entsprechenden ROM-Matrixanordnung abgelegt werden, wobei ein Auslesen derartiger Informationen zuverlässig verhindert werden muß.

[0003] Zum Verhindern eines unautorisierten elektrischen Zugriffs auf die in derartigen ROM-Speicherzellen abgelegten Informationen sind eine Vielzahl von herkömmlichen Sicherheitsschaltungen bekannt, bei denen insbesondere ein elektrisches Auslesen durch einen nicht autorisierten Benutzer verhindert wird.

[0004] Ein derartiger Angriff durch nicht autorisierte Benutzer kann jedoch auch mittels optischer Verfahren durchgeführt werden, wobei ein Angreifer den Umstand ausnutzt, daß jede programmierte ROM-Speicherzelle eine mehr oder weniger optisch sichtbare Programmierung aufweist.

[0005] Zum Schutze derartiger sicherheitsrelevanter Halbleiterschaltungen sind eine Vielzahl von physikalischen Verfahren bekannt, bei denen der Halbleiterbaustein beispielsweise mit speziellen Umhüllungen umgeben wird, die beim Entfernen den Baustein zerstören. Andererseits werden derartige sicherheitsrelevante Bausteine mit feinen Drähten eingewickelt, wodurch ein Eingriff zuverlässig verhindert werden kann. Nachteilig bei derartigen herkömmlichen Sicherheitsvorkehrungen sind jedoch die relativ hohen Kosten sowie die Schwierigkeit bei der Verwendung in Einzel-Baustein-Lösungen wie z. B. Chipkarten und Smartcards.

[0006] Der Erfindung liegt daher die Aufgabe zugrunde, eine Sicherheits-ROM-Speicherzelle sowie ein dazugehöriges Herstellungsverfahren zu schaffen, bei dem ein optisches Auslesen der in den ROM-Speicherzellen abgelegten Informationen zuverlässig und auf kostengünstige Art und Weise verhindert wird.

[0007] Erfindungsgemäß wird diese Aufgabe hinsichtlich der Speicherzelle durch die Merkmale des Patentanspruchs 1 und hinsichtlich des Verfahrens durch die Maßnahmen des Patentanspruchs 9 gelöst.

[0008] Insbesondere durch die Verwendung einer ersten und zweiten optische Schutzschicht zum Verhindern eines optischen Erfassens eines Programmierelements von einer Oberseite und einer Unterseite eines Halbleitersubstrats kann einem optischen Angriff zum

Auslesen der in der Speicherzelle abgelegten Informationen zuverlässig entgegengewirkt werden.

[0009] Vorzugsweise stellt die erste und zweite optische Schutzschicht ohnehin vorhandene Funktionselemente bzw. Schichten der ROM-Speicherzelle dar, wodurch keine weiteren Prozessschritte für die Herstellung der optischen Schutzschichten benötigt und die Herstellungskosten verringert werden. Die für das Ablegen der Daten benötigten Programmierelemente können sich hierbei in einer der vorhandenen Metallisierungsschichten, einer Kanalschicht und/oder einer vergrabenen Schicht befinden. Auf diese Weise können sowohl Anforderungen hinsichtlich einer hohen Integrationsdichte als auch hinsichtlich einer relativ späten Programmierung erfüllt werden.

[0010] In den weiteren Unteransprüchen sind weitere vorteilhafte Ausgestaltungen der Erfindung gekennzeichnet.

[0011] Die Erfindung wird nachstehend anhand von Ausführungsbeispielen unter Bezugnahme auf die Zeichnung näher beschrieben.

[0012] Es zeigen:

Figur 1 ein vereinfachtes elektrisches Ersatzschaltbild eines ROM-Speichers mit einer Vielzahl von ROM-Speicherzellen;

Figur 2 eine vereinfachte Schnittansicht einer Sicherheits-ROM-Speicherzelle gemäß einem ersten Ausführungsbeispiel;

Figur 3 eine vereinfachte Draufsicht der Sicherheits-ROM-Speicherzelle gemäß dem ersten Ausführungsbeispiel;

Figur 4 eine vereinfachte Schnittansicht einer Sicherheits-ROM-Speicherzelle gemäß einem zweiten Ausführungsbeispiel; und

Figur 5 eine vereinfachte Schnittansicht einer Sicherheits-ROM-Speicherzelle gemäß einem dritten Ausführungsbeispiel.

[0013] Figur 1 zeigt eine vereinfachte Darstellung eines elektrischen Ersatzschaltbilds eines ROM-Speichers mit einer Vielzahl von ROM-Speicherzellen. Gemäß Figur 1 bestehen die einzelnen Speicherzellen aus Feldeffekttransistoren (FET) mit einem Gate G, einem Drain D und einer Source S. Die Source S ist beispielsweise an Masse angeschlossen, während das Drain D der jeweiligen Feldeffekttransistoren an eine gemeinsame Bitleitung BL1, BL2 usw. angeschlossen ist. Andererseits werden die jeweiligen Gates G der Speicherzellen zeilenweise mit entsprechenden Wortleitungen WL1, WL2 und WL3 verbunden, wodurch sich der in Figur 1 dargestellte matrixförmige Aufbau ergibt. Die vorliegende Erfindung ist jedoch nicht auf den in Figur 1 dargestellten matrixförmigen Aufbau mit Feldeffekttran-

sistoren beschränkt sondern umfaßt vielmehr auch weitere Strukturen wie z. B. serielle Anordnung von Schaltelementen, die beispielsweise auch aus Bipolartransistoren oder Dioden bestehen können.

[0014] Eine Programmierung einer jeweiligen Speicherzelle erfolgt bei den in Figur 1 dargestellten Feldeffekttransistoren im wesentlichen auf drei verschiedene Arten. Einerseits kann die Information durch Programmierung, d. h. Verbindung oder Unterbrechung einer Drain-Zuleitung erfolgen, wobei ein Programmier-element P z.B. in einer Metallisierungsschicht für das Drain D ausgebildet ist. Wird beispielsweise das Programmier-element P als Teil einer Metallisierungsschicht entfernt so ist der entsprechende Feldeffekttransistor zu keinem Zeitpunkt mit der Bitleitung BL1 verbunden und liefert bei entsprechender Anschaltung der Wortleitungen WL1 bis WL3 den logischen Wert 1 an die Bitleitung 1. Andererseits wird bei Vorhandensein des Programmier-elements P der Feldeffekttransistor bei entsprechender Anschaltung durch die Wortleitungen WL1 bis WL3 mit der Masse verbunden, so daß an der Bitleitung BL1 eine logische Null ausgelesen wird. Auf diese Weise lassen sich die jeweiligen Speicherzellen mit unterschiedlichen Informationsgehalten programmieren.

[0015] Alternativ zu der in Figur 1 dargestellten Programmierung über ein in einer Zuführungsleitung (Metallisierungsschicht) realisiertes Programmier-element P, kann sich dieses auch in einer Kanalschicht unterhalb des Gates G oder in einer vergrabenen Schicht im Halbleitersubstrat befinden, wodurch wiederum ein Schaltverhalten des als Schaltelement dienenden Feldeffekttransistors verändert wird und damit Informationen bzw. Daten abgelegt werden können.

[0016] Figur 2 zeigt eine vereinfachte Schnittansicht einer in Figur 1 dargestellten Sicherheits-ROM-Speicherzelle. Gemäß Figur 2 sind an der Oberfläche eines Halbleitersubstrats HS ein Draingebiet D und ein Sourcegebiet S ausgebildet. Oberhalb eines zwischen dem Draingebiet D und dem Sourcegebiet S ausgebildeten Kanals befindet sich eine Gate-Isolationsschicht GI, die beispielsweise aus SiO_2 besteht, und ein darüber angeordnetes Gate, welches vorzugsweise aus einem hochdotierten Polysilizium besteht. Oberhalb des Gates G befindet sich durch eine Isolationsschicht I beabstandet eine erste Metallisierungsschicht M1, die unmittelbar oberhalb des Gates G ein Programmier-element P aufweist. Genauer gesagt wird die Speicherzelle beispielsweise durch Entfernen der Metallisierung innerhalb des durch das Programmier-element P definierten Bereichs unterbrochen, wodurch sich der Informationsgehalt für die ROM-Speicherzelle ergibt. Oberhalb der ersten Metallisierungsschicht M1 wird durch eine weitere Isolationsschicht I eine zweite Metallisierungsschicht M2 ausgebildet, die üblicherweise eine Bitleitung BLx darstellt, jedoch auch eine Wortleitung WLx mit $x = 1$ bis n darstellen kann.

[0017] Wesentlich für die Erfindung ist nunmehr die Anordnung des Programmier-elements P zwischen dem

Gate G und der zweiten Metallisierungsschicht M2. Da sowohl die zweite Metallisierungsschicht M2 als auch das hochdotierte Polysilizium des Gates G eine optisch dichte Schutzschicht darstellen, wird ein Angriff mittels optischer Verfahren beispielsweise durch Licht L von der Oberseite und/oder der Unterseite des Halbleitersubstrats HS zuverlässig verhindert. Das Programmier-element P befindet sich demzufolge immer im Schatten einer optischen Schutzschicht (Gate G oder zweite Metallisierungsschicht M2), wodurch ein Auslesen des Speicherinhalts beispielsweise mittels eines Mikroskops zuverlässig verhindert wird.

[0018] Figur 3 zeigt eine Draufsicht der Sicherheits-ROM-Speicherzelle gemäß dem ersten Ausführungsbeispiel, wobei gleiche Bezugszeichen gleiche Schichten bzw. Elemente der ROM-Speicherzelle kennzeichnen. Demzufolge befindet sich das Programmier-element P, welches in der ersten Metallisierungsschicht M1 ausgebildet werden kann, unmittelbar unter der zweiten Metallisierungsschicht M2, die diese vollständig verdeckt bzw. eine optische Barriere darstellt. Andererseits wird ein optisches Auslesen von der Unterseite beispielsweise mittels Durchlicht durch die hochdotierte Polysiliziumschicht des Gates G verhindert, wodurch ein optischer Angriff von beiden Seiten zuverlässig verhindert werden kann.

[0019] Darüber hinaus stellt die Sicherheits-ROM-Speicherzelle gemäß dem ersten Ausführungsbeispiel eine besonders kostengünstige Lösung dar, da ohnehin vorhandene Funktionselemente wie z. B. die zweite Metallisierungsschicht M2 für die Bitleitung BLx und die Polysiliziumschicht für die jeweiligen Gates G ohnehin vorhanden sind.

[0020] Ein weiterer Vorteil der Sicherheits-ROM-Speicherzelle gemäß dem ersten Ausführungsbeispiel besteht darin, daß eine Programmierung der Speicherinhalte in einer relativ hohen Ebene, d. h. erste Metallisierungsebene M1, durchgeführt wird, wodurch eine Zeitspanne zwischen einer Auftragsvergabe und der Auslieferung der jeweiligen Schaltung mit Sicherheits-ROM-Speicherzelle wesentlich verkürzt werden kann. Beispielsweise können derartige Wafer bis zur ersten Metallisierungsschicht M1 bereits vorgefertigt werden, wobei die eigentliche Programmierung nur noch mittels Ätzen der Programmier-elemente P und Aufbringen der weiteren Metallisierungsschicht bzw. Schichten abgeschlossen wird.

[0021] Figur 4 zeigt eine Sicherheits-ROM-Speicherzelle gemäß einem zweiten Ausführungsbeispiel, wobei gleiche Bezugszeichen gleiche oder ähnliche Schichten bzw. Elemente bezeichnen.

[0022] Gemäß Figur 4 ist in einem Halbleitersubstrat HS wiederum ein Feldeffekttransistor mit einem Gate G, einem Drain D und einer Source S ausgebildet. Im Gegensatz zur Sicherheits-ROM-Speicherzelle gemäß dem ersten Ausführungsbeispiel wird jedoch bei diesem zweiten Ausführungsbeispiel das Programmier-element P im Kanal unmittelbar unter der Gate-Isolierschicht GI

beispielsweise mittels Ionenimplantation ausgebildet, wodurch der entsprechende Feldeffekttransistor unabhängig von seiner Gate-Ansteuerung immer leitend ist. Alternativ könnte das Programmiererelement P auch in einer tiefer gelegenen vergrabenen Schicht (buried layer) ausgebildet werden und beispielsweise unterhalb des Kanals das Drain-Gebiet D mit dem Source-Gebiet S leitend verbinden.

[0023] Zur Realisierung der zweiten optischen Schutzschicht zum Verhindern eines optischen Auslesens von der Unterseite des Halbleitersubstrats HS mit Durchlicht L ist beispielsweise im Halbleitersubstrat eine vergrabene optische Schutzschicht BOL (buried optical layer) ausgebildet, die entweder eine reflektierende oder eine absorbierende Wirkung hinsichtlich des von unten eingestrahlichten Durchlichts L aufweist.

[0024] Zur Verhinderung eines optischen Auslesens der Information bzw. des Zustands des Programmiererelements P dient gemäß Figur 4 entweder die zweite Metallisierungsschicht M2, die erste Metallisierungsschicht M1 oder das Gate G des Feldeffekttransistors. Dadurch ergibt sich eine wesentliche Vereinfachung für das Layout der Metallisierungsschichten M1 und M2, da das Gate G ohnehin ein Auslesen der Daten von der Oberseite des Halbleitersubstrats zuverlässig verhindert.

[0025] Selbst wenn eine derartige Programmierung der Sicherheits-ROM-Speicherzelle in einem relativ frühen Herstellungsschritt - beispielsweise mittels Diffusion oder Implantation - eine relativ große Zeitspanne zwischen einer Auftragsvergabe durch den Kunden und der Auslieferung der endgültigen Schaltung zur Folge hat, können auf diese Weise wesentlich kleinere Strukturen und damit höhere Integrationsdichten ($\leq 0,25$ Mikrometer) realisiert werden.

[0026] Figur 5 zeigt eine vereinfachte Schnittansicht einer Sicherheits-ROM-Speicherzelle gemäß einem dritten Ausführungsbeispiel, wobei wiederum gleiche Bezugszeichen gleiche oder ähnliche Schichten bzw. Elemente bezeichnen. Im Gegensatz zur Sicherheits-ROM-Speicherzelle gemäß dem ersten Ausführungsbeispiel besitzt die in Figur 5 dargestellte Speicherzelle eine weitere Metallisierungsschicht, d. h. dritte Metallisierungsschicht M3, wodurch komplexere Halbleiterschaltungen realisiert werden können. Vorzugsweise befindet sich gemäß Figur 5 das Programmiererelement P in der zweiten Metallisierungsschicht M2 unmittelbar unterhalb der dritten Metallisierungsschicht M3, die als optische Schutzschicht ein Auslesen bzw. optisches Erfassen des Programmiererelement P von einer Oberseite des Halbleitersubstrats zuverlässig verhindert. Von der Unterseite des Halbleitersubstrats HS wird das Programmiererelement P beispielsweise durch die erste Metallisierungsschicht M1 oder das Gate G vor einem Auslesen bzw. optischen Erfassen geschützt.

[0027] Üblicherweise werden die Maße des Programmiererelements P bei den vorstehend beschriebenen Ausführungsbeispielen auf den vom jeweils verwendeten

ten Fertigungsprozeß vorgegebenen Minimalwert reduziert. Bei den heute üblichen Minimalgrößen bzw. Strukturgrößen von $\leq 0,25$ Mikrometer ist die optische Auflösungsgrenze herkömmlicher Lichtmikroskope bereits erreicht, weshalb eine untere Schutzschicht bei Verwendung von sichtbarem Licht L entfallen kann, da das Licht an der oberen Metallisierungsschicht M1 bis M3 reflektiert wird und ein von unten eingestrahlichtes Licht (Durchlicht) nur die größere Struktur der oberen Metallisierungsebene aufzulösen vermag. Die in der darunter liegenden Metallisierungsschicht ausgebildeten Informationen bzw. Programmiererelemente P bleiben somit verborgen.

[0028] Ferner kann unterhalb des Programmiererelements P eine Low-Resist-Polysiliziumschicht ausgebildet werden (hochdotiert), die das Gate G des Feldeffekttransistors kontaktiert. Da Silizium Licht unterhalb einer Wellenlänge von 700 nm absorbiert, kommen für eine abbildende Analyse nur die Wellenlängen ≥ 700 nm in Frage. Um derartige Wellenlängen zu absorbieren, werden daher hochdotierte Siliziumschichten genutzt, die in diesem Wellenlängenbereich eine starke Absorptionseigenschaft aufweisen. Die starke Absorptionseigenschaft macht dadurch ein Erkennen von Strukturen oberhalb der hochdotierten Polysiliziumschicht unmöglich.

[0029] Die Erfindung wurde vorstehend anhand von reflektierenden Metallisierungsschichten und absorbierenden hochdotierten Polysiliziumschichten für die optischen Schutzschichten beschrieben. Sie ist jedoch nicht darauf beschränkt und umfaßt vielmehr alle weiteren optischen Schutzschichten, die ein optisches Erfassen der Programmiererelemente P verhindern.

[0030] Insbesondere kann anstelle der für das Gate verwendeten hochdotierten Polysiliziumschicht auch eine leitende Metallisierung mit ihrer optimalen Reflexionseigenschaft verwendet werden. In gleicher Weise kann anstelle der Metallisierungsschichten eine oder mehrere Polysiliziumschichten mit ihren optimalen Absorptionseigenschaften verwendet werden.

Patentansprüche

1. Sicherheits-ROM-Speicherzelle mit einem Halbleitersubstrat (HS);
einem auf und/oder im Halbleitersubstrat (HS) ausgebildeten Schaltelement (G, D, S); und einem Programmiererelement (P) zum Programmieren des Schaltverhaltens des Schaltelements (G, D, S),
gekennzeichnet durch eine erste optische Schutzschicht (M2; M3) zum Verhindern eines optischen Erfassens des Programmiererelements (P) von einer Oberseite des Halbleitersubstrats (HS), und eine zweite optische Schutzschicht (G; BOL) zum Verhindern eines optischen Erfassens des Programmiererelements (P) von einer Unterseite des Halbleitersubstrats (HS).

2. Sicherheits-ROM-Speicherzelle nach Patentanspruch 1,
dadurch gekennzeichnet, daß die erste und/oder zweite optische Schutzschicht (M2, G) anderweitige Funktionselemente der ROM-Speicherzelle darstellen. 5
3. Sicherheits-ROM-Speicherzelle nach Patentanspruch 1 oder 2,
dadurch gekennzeichnet, daß die erste und/oder zweite optische Schutzschicht eine hochdotierte Polysiliziumschicht oder Metallisierungsschicht darstellt. 10
4. Sicherheits-ROM-Speicherzelle nach einem der Patentansprüche 1 bis 3,
dadurch gekennzeichnet, daß das Schaltelement einen Feldeffekttransistor mit einem Gate (G), einer Source (S) und einem Drain (D) darstellt. 15
20
5. Sicherheits-ROM-Speicherzelle nach einem der Patentansprüche 1 bis 4,
dadurch gekennzeichnet, daß die erste optische Schutzschicht in einer zweiten oder dritten Metallisierungsschicht (M2; M3), die zweite optische Schutzschicht in einer Gateschicht (G) und das Programmier- 25
element (P) in einer ersten oder zweiten Metallisierungsschicht (M1; M2) ausgebildet ist.
6. Sicherheits-ROM-Speicherzelle nach Patentanspruch 4,
dadurch gekennzeichnet, daß das Programmier- 30
element (P) in einer Kanalschicht des Feldeffekttransistors ausgebildet ist. 35
7. Sicherheits-ROM-Speicherzelle nach einem der Patentansprüche 4 oder 6,
dadurch gekennzeichnet, daß das Programmier- 40
element (P) in einer vergrabenen Schicht des Halbleitersubstrats (HS) ausgebildet ist. 45
8. Chipkarte mit einer Vielzahl von Sicherheits-ROM-Speicherzellen gemäß einem der Patentansprüche 1 bis 7. 45
9. Verfahren zur Herstellung einer Sicherheits-ROM-Speicherzelle mit den Schritten:
 - a) Ausbilden eines Feldeffekttransistors mit einem optisch dichten Gate (G), einer Source (S) und einem Drain (D) auf einem Halbleitersubstrat (HS); 50
 - b) Ausbilden einer Isolierschicht (I) zumindest über dem Gate (G);
 - c) Ausbilden eines Programmierelements (P) in einer ersten leitenden Schicht (M1) unmittelbar über dem optisch dichten Gate (G); 55
 - d) Ausbilden einer weiteren Isolierschicht (I)
- zumindest über dem Programmierelement (P);
und
e) Ausbilden einer weiteren leitenden Schicht (M2), die zumindest unmittelbar über dem Programmierelement (P) optisch dicht ist.
10. Verfahren nach Patentanspruch 9,
dadurch gekennzeichnet, daß beim Ausbilden des optisch dichten Gates (G) des Feldeffekttransistors hochdotiertes Polysilizium verwendet wird.
11. Verfahren nach Patentanspruch 9 oder 10,
dadurch gekennzeichnet, daß das Ausbilden des Programmierelements (P) im Halbleitersubstrat (HS) durch Ionenimplantation oder Diffusion erfolgt und eine optische Schutzschicht (BOL) unterhalb des implantierten Programmierelements (P) ausgebildet ist.

FIG 1

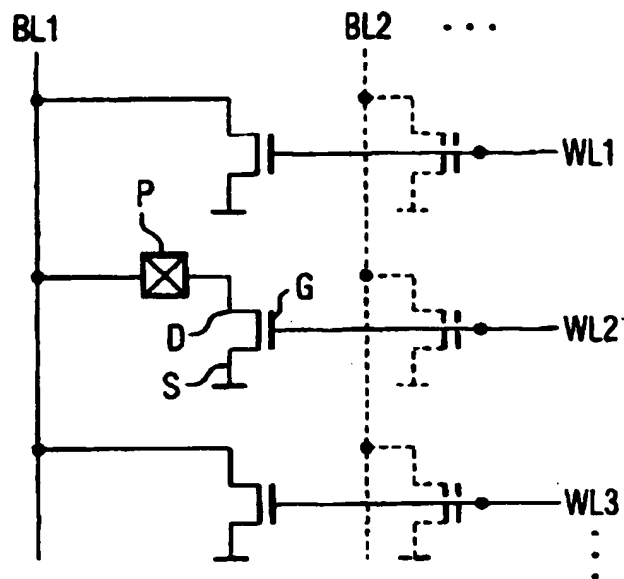


FIG 2

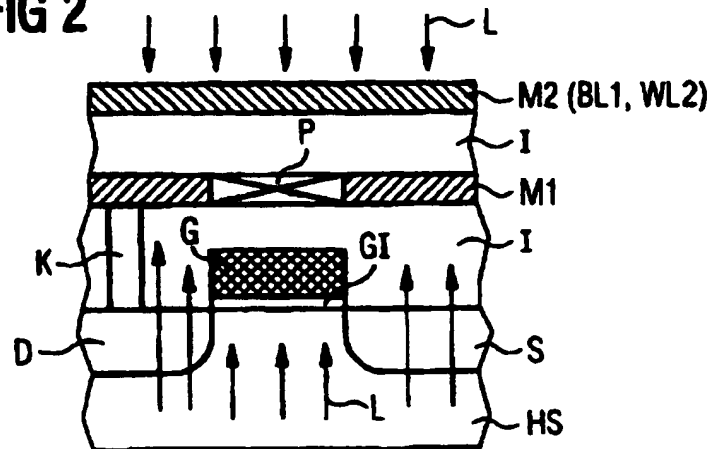


FIG 3

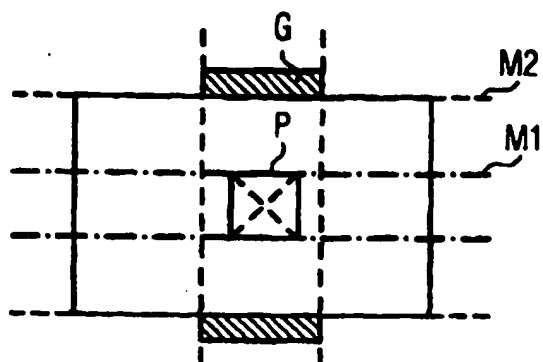


FIG 4

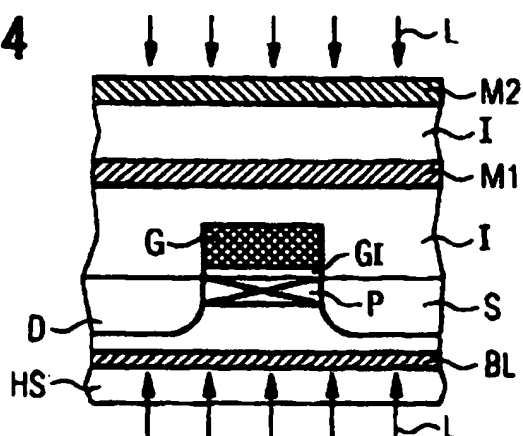
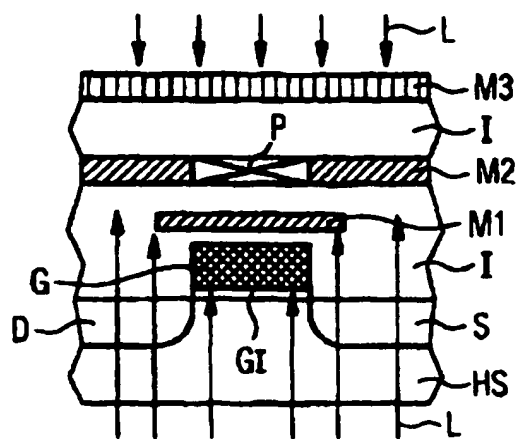


FIG 5





Europäisches
Patentamt

EUROPÄISCHER RECHERCHENBERICHT

Nummer der Anmeldung
EP 99 12 2770

EINSCHLÄGIGE DOKUMENTE			
Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betrifft Anspruch	KLASSIFIKATION DER ANMELDUNG (Int.Cl.7)
A	US 5 258 334 A (LANTZ II LEON) 2. November 1993 (1993-11-02) * das ganze Dokument *	1	H01L27/112 H01L21/8246 G11C17/12 H01L27/02
A	EP 0 378 306 A (GEN INSTRUMENT CORP) 18. Juli 1990 (1990-07-18) * Zusammenfassung *	1	
A	PATENT ABSTRACTS OF JAPAN vol. 1999, no. 01, 29. Januar 1999 (1999-01-29) & JP 10 270562 A (NIPPON TELEGR & TELEPH CORP & NTT &), 9. Oktober 1998 (1998-10-09) * Zusammenfassung *	1	
			RECHERCHIERTE SACHGEBIETE (Int.Cl.7)
			H01L G11C
Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt			
Recherchenort DEN HAAG		Abschlußdatum der Recherche 13. April 2000	Prüfer Albrecht, C
<p>KATEGORIE DER GENANNTEN DOKUMENTE</p> <p>X : von besonderer Bedeutung allein betrachtet Y : von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie A : technologischer Hintergrund O : nichttechnische Offenbarung P : Zwischenliteratur</p> <p>T : der Erfindung zugrunde liegende Theorien oder Grundsätze E : älteres Patentedokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist D : in der Anmeldung angeführtes Dokument L : aus anderen Gründen angeführtes Dokument</p> <p>& : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument</p>			

EPO FORM 1503 03 82 (P04C09)

**ANHANG ZUM EUROPÄISCHEN RECHERCHENBERICHT
ÜBER DIE EUROPÄISCHE PATENTANMELDUNG NR.**

EP 99 12 2770

In diesem Anhang sind die Mitglieder der Patentfamilien der im obengenannten europäischen Recherchenbericht angeführten Patentedokumente angegeben.
Die Angaben über die Familienmitglieder entsprechen dem Stand der Datei des Europäischen Patentamts am
Diese Angaben dienen nur zur Unterrichtung und erfolgen ohne Gewähr.

13-04-2000

Im Recherchenbericht angeführtes Patentedokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 5258334	A	02-11-1993	KEINE	
EP 0378306	A	18-07-1990	US 4933898 A	12-06-1990
			AU 617026 B	14-11-1991
			AU 4766990 A	19-07-1990
			CA 2007469 A,C	12-07-1990
			DE 69033241 D	16-09-1999
			DE 69033241 T	03-02-2000
			EP 0920057 A	02-06-1999
			ES 2134188 T	01-10-1999
			IE 62793 B	08-03-1995
			JP 2057246 C	23-05-1996
			JP 2232960 A	14-09-1990
			JP 7087237 B	20-09-1995
			KR 180521 B	15-04-1999
			NO 303808 B	31-08-1998
			NO 975981 A	19-12-1997
JP 10270562	A	09-10-1998	KEINE	

EPO FORM P441

Für nähere Einzelheiten zu diesem Anhang : siehe Amtsblatt des Europäischen Patentamts, Nr.12/82

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.